FPGA-Programmierung mit C/C++ und Vitis HLS

IP-Cores für Xilinx FPGAs mit Vitis HLS schneller entwickeln, Design-Alternativen vergleichen und Performance optimieren

Beginn:
10.03.2027 - 08:45 Uhr
Ende:
11.03.2027 - 16:15 Uhr
Dauer:
2,0 Tage

Ostfildern

Veranstaltungsnr.: **36451.00.002**

Leitung

Prof. Dr.-Ing. Frank Kesel
Hochschule Pforzheim

Präsenz
EUR 1.650,00
(MwSt.-frei)
Mitgliederpreis
EUR 1.485,00
(MwSt.-frei)

in Zusammenarbeit mit:

GESELLSCHAFT FÜR INFORMATIK

BESCHREIBUNG







Warum sollten Sie dieses Seminar besuchen?

Sie entwickeln FPGA-basierte Systeme und stehen vor der Herausforderung, **komplexe Algorithmen schnell und effizient in Hardware umzusetzen**? Vielleicht kennen Sie auch diese Situation: Der klassische **FPGA-Entwurf mit VHDL oder Verilog** kostet viel Zeit, Iterationen dauern lange und Optimierungen sind aufwendig.

Mit **High-Level Synthese (HLS)** gehen Sie einen deutlich produktiveren Weg. Sie

beschreiben Hardware mit **C/C++** und erzeugen daraus automatisch optimierte FPGA-Architekturen. Dadurch verkürzen Sie Entwicklungszeiten erheblich und können schneller verschiedene Designvarianten vergleichen.

In diesem Seminar lernen Sie, wie Sie **Algorithmen mit C/C++ effizient für FPGAs entwickeln**, **High-Level Synthese gezielt einsetzen** und **IP-Cores für moderne MP SoC-Systeme** erstellen. Sie arbeiten mit **Vitis HLS aus der Xilinx Vitis Toolkette**, analysieren Syntheseergebnisse und optimieren Ihre Hardware gezielt auf **Performance, Latenz und Ressourcenverbrauch**.

Das Ergebnis: Sie entwickeln **FPGA-Designs schneller, strukturierter und effizienter** – und steigern gleichzeitig die Qualität Ihrer Implementierungen.

Ziel der Weiterbildung
Was lernen Sie konkret?

In diesem praxisorientierten Seminar steigen Sie Schritt für Schritt in den **FPGA-Entwurf mit C/C++ und High-Level Synthese** ein. Vorträge und praktische Übungen wechseln sich ab, sodass Sie das Gelernte sofort anwenden.

Nach dem Seminar können Sie:

- **Algorithmen in C/C++ für FPGA-Hardware beschreiben und synthetisieren**
- mit **Vitis HLS innerhalb der Vitis Toolkette** arbeiten
- verschiedene **Hardware-Architekturen aus einem C/C++-Code generieren und vergleichen**
- **Syntheseberichte analysieren und gezielt Optimierungen ableiten**
- den Einfluss von **Datentypen, Bitbreiten und Fixpunktarithmetik** auf Ressourcen und Performance bewerten
- **Interfaces für IP-Cores entwickeln**, einschließlich **AXI-Busschnittstellen**
- eigene **IP-Cores in ein FPGA-basiertes System** integrieren
- Hardware gezielt durch **Pipelining, Entrollen und Schleifen** beschleunigen

Sie erhalten damit das notwendige Know-how, um **High-Level Synthese im FPGA-Design professionell einzusetzen** und Entwicklungsprozesse deutlich zu beschleunigen.

PROGRAMM

Mittwoch, 10. und Donnerstag, 11. März 2027
jeweils von 8:45 bis 16:15 Uhr, inkl. Pausen

TAG 1

1. High-Level Synthese und ihre Rolle im Entwurf von FPGAs

- HLS im Entwurfsablauf
- Design Space Exploration
- Entwurfsmetriken

2. Funktionsweise der High-Level Synthese

- Funktionen und Hierarchien
- Interface- und Algorithmen-Synthese
- Scheduling, Binding und FSM Extraktion

3. Übungseinheit 1+2: Einführung in die High-Level Synthese mit Vitis HLS

4. Datentypen für die HLS

- Standard-Datentypen
- Integer mit variabler Bitbreite
- Fixpunkt-Datentypen

TAG 2

5. Interface-Synthese

Block-Level und Port-Level-Protokolle

Zeiger und Felder als Argumente

AXI-Bus-Interfaces

6. Übungseinheit 3+4: Interface-Synthese

9. Pipelining von Funktionen und Schleifen

Einführung in Pipelining

Pipelining von Funktionen

Pipelining von Schleifen

Dataflow Pipelining

10. Optimierung von Feldern und Entrollen von Schleifen

Partitionierung von Feldern

Reshaping von Feldern

Entrollen von Schleifen

11. Übungseinheit 5: Optimierung

TEILNEHMER:INNENKREIS

Für wen ist dieses Seminar geeignet?

Dieses Seminar richtet sich an **Entwicklerinnen und Entwickler im Bereich FPGA-Design, Embedded Systems und digitale Signalverarbeitung**, die moderne Methoden der Hardwareentwicklung nutzen möchten.

Besonders profitieren:

- **FPGA-Entwickler**, die ihre Produktivität durch **High-Level Synthese** steigern wollen
- **Embedded- und SoC-Entwickler**, die eigene **IP-Cores entwickeln und integrieren** möchten
- **Hardwareentwickler**, die Algorithmen effizient auf **FPGA-Plattformen** implementieren wollen
- **C/C++-Programmierer**, die in die **Hardwareentwicklung mit FPGAs** einsteigen möchten

Voraussetzung sind **Kenntnisse in C/C++**. Erfahrung im **FPGA-Design** ist hilfreich, aber nicht zwingend erforderlich.

REFERENT:INNEN

Prof. Dr.-Ing. Frank Kesel
Hochschule Pforzheim

Hochschule Pforzheim.
Prof. Dr.-Ing. Frank Kesel verfügt über eine zehnjährige Industrieerfahrung in der Entwicklung von digitalen ASICs. Seit mehr als 20 Jahren ist Prof. Kesel in der Hochschulausbildung tätig, mit dem Schwerpunkt Entwicklung von digitalen Systemen auf programmierbarer Hardware (FPGA) und Programmierung von Mikrocontrollern. Prof. Kesel ist mit diesen Themen ebenfalls seit vielen Jahren in der beruflichen Weiterbildung an der Technischen Akademie in Esslingen tätig, im Rahmen von berufsbegleitenden Studiengängen und Industrieseminaren. Neben den Lehrtätigkeiten arbeitet Prof. Kesel am Thema Entwicklung von digitalen Systemen auch im Rahmen von industriellen und öffentlich geförderten Forschungsprojekten.

VERANSTALTUNGSORT UND HOTEL

Technische Akademie Esslingen
An der Akademie 5
73760 Ostfildern



Anfahrt

Die TAE befindet sich im Südwesten Deutschlands im Bundesland Baden-Württemberg – in unmittelbarer Nähe zur Landeshauptstadt Stuttgart. Unser Schulungszentrum verfügt über eine hervorragende Anbindung und ist mit allen Verkehrsmitteln gut und schnell zu erreichen.

Hotelübernachtung benötigt?

Über den nachfolgenden Link finden Sie nahegelegene Hotels in direkter Umgebung zu TAE-Konditionen:

Hotelbuchung

GEBÜHREN UND FÖRDERMÖGLICHKEITEN

Die Teilnahme beinhaltet Verpflegung sowie ausführliche Unterlagen.

Preis:
Die Teilnahmegebühr beträgt:
1.650,00 € (MwSt.-frei)

Fördermöglichkeiten:
Bei einem Großteil unserer Veranstaltungen profitieren Sie von 45 % Zuschuss aus der ESF-Fachkursförderung.
Bisher sind diese Mittel für den vorliegenden Kurs nicht bewilligt. Dies kann verschiedene Gründe haben. Wir empfehlen Ihnen daher, Kontakt mit unserer Anmeldung aufzunehmen. Diese gibt Ihnen gerne Auskunft über die Förderfähigkeit der Veranstaltung.

Weitere Bundesland-spezifische Fördermöglichkeiten finden Sie hier.

Inhouse Durchführung:
Sie möchten diese Veranstaltung firmenintern bei Ihnen vor Ort durchführen? Dann fragen Sie jetzt ein individuelles Inhouse-Training an.

IMMER TOP!

Unser Qualitätsversprechen



Seit über 65 Jahren gehört die Technische Akademie Esslingen (TAE) mit Sitz in Ostfildern – nahe der Landeshauptstadt Stuttgart – zu Deutschlands größten Weiterbildungs-Anbietern für berufliche und berufsvorbereitende Qualifizierung im technischen Umfeld. Unser Ziel ist Ihr Erfolg. Egal ob Seminar, Zertifikatslehrgang

oder Fachtagung, unsere Veranstaltungen sind stets abgestimmt auf die Bedürfnisse von Ingenieuren sowie Fach- und Führungskräften aus technisch geprägten Unternehmen. Dabei können Sie sich stets zu 100 Prozent auf die Qualität unserer Angebote verlassen. Warum das so ist?